

# MANUFACTURE OF SEMICONDUCTOR

Publication number: JP7130652

Publication date: 1995-05-19

Inventor: OTANI HISASHI; MIYANAGA SHOJI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- International: C01B33/02; H01L21/02; H01L21/20; H01L21/336; H01L27/12; H01L29/78; H01L29/786; C01B33/00; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): H01L21/20; C01B33/02; H01L21/336; H01L27/12; H01L29/786

- European:

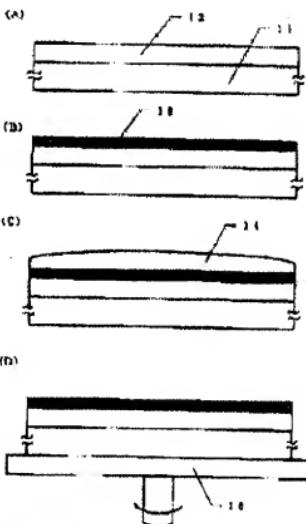
Application number: JP19930294633 19931029

Priority number(s): JP19930294633 19931029

[Report a data error here](#)

## Abstract of JP7130652

**PURPOSE:** To strictly control the introduced amount of a catalyst element in a method of obtaining crystalline silicon by heat treatment by using the catalytic element promoting crystallization. **CONSTITUTION:** An extremely thin oxide film 13 is formed on an amorphous silicon film 12 formed on a glass substrate 11 and a water solution 14 of an acetate solution or the like having 10 to 200ppm (to be adjusted) of a catalytic element such as nickel. This state is held for a prescribed time and spin drying is performed by using a spinner 15. Then, heat treatment is performed at 550 deg.C for four hours so as to obtain a crystalline silicon film. In this constitution, concentration of a catalytic element in a finished crystalline silicon film can be accurately controlled by adjusting the concentration of the catalytic element in the solution.



(51)Int.Cl.<sup>4</sup>  
H 01 L 21/20  
C 01 B 33/02  
H 01 L 27/12  
29/788

識別記号 広内審理番号 F I 技術表示箇所

8122-4M  
E 7202-4G  
R

9055-4M H 01 L 29/78 311 Y

審査請求 未請求 請求項の数14 FD (全9頁) 最終頁に続く

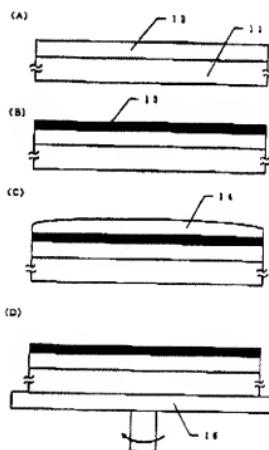
(21)出願番号	特願平5-294633	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成5年(1993)10月29日	(72)発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72)発明者	宮永 昭治 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

## (54)【発明の名称】 半導体作製方法

## (57)【要約】

【目的】結晶化を助長する触媒元素を用いて、550℃程度、4時間程度の加熱処理で結晶性珪素を得る方法において、触媒元素の導入量を精密に制御する。

【構成】ガラス基板11上に形成された非晶質珪素膜12上に極薄の酸化膜13を形成し、ニッケル等の触媒元素を1.0～2.00 ppm(要調整)添加した酢酸塩溶液等の水溶液14を滴下する。この状態で所定の時間保持し、スピナー15を用いてスピンドライを行なう。そして、550℃、4時間の加熱処理を行なうことにより、結晶性珪素膜を得る。上記構成において、溶液中の触媒元素の濃度を調整することで、完成した結晶性珪素膜中における触媒元素の濃度を精密に制御することができる。



## 【特許請求の範囲】

【請求項1】 非晶質珪素膜上に該硅素膜の結晶化を助長する触媒元素を含有させた溶液を塗布する工程と、前記非晶質珪素膜を加熱処理することによる結晶化させる工程と、  
を有する半導体作製方法。

【請求項2】 非晶質珪素膜上に酸化膜を形成する工程と、前記酸化膜上に硅素膜の結晶化を助長する触媒元素を含有させた溶液を塗布する工程と、前記非晶質珪素膜を加熱処理することにより結晶化させる工程と、  
を有する半導体作製方法。

【請求項3】 非晶質珪素膜上に100Å以下の酸化膜を形成する工程と、前記酸化膜上に硅素膜の結晶化を助長する触媒元素を含有させた溶液を塗布する工程と、前記非晶質珪素膜を加熱処理することにより結晶化させる工程と、  
を有する半導体作製方法。

【請求項4】 非晶質珪素膜上に該硅素膜の結晶化を助長する触媒元素を含有させた溶液を選択的に塗布する工程と、前記非晶質珪素膜を加熱処理することにより前記選択的に塗布された領域から、前記溶液が塗布されなかった領域に向かって結晶成長を行なう工程と、  
を有する半導体作製方法。

【請求項5】 請求項1または請求項2または請求項3または請求項4において、触媒元素としてN<sub>1</sub>を用いることを特徴とする半導体作製方法。

【請求項6】 請求項1または請求項2または請求項3または請求項4において、触媒元素として、Ni、Pd、Pt、Cu、Ag、Au、In、Sn、Pd、Sn、Pd、P、As、Sbから選ばれた一種または複数種類の元素を用いることを特徴とする半導体作製方法。

【請求項7】 請求項1または請求項2または請求項3または請求項4において、触媒元素として、VII族、[Ib]族、IVb族、Vb族元素から選ばれた一種または複数種類の元素を利用することを特徴とする半導体作製方法。

【請求項8】 請求項1または請求項2または請求項3または請求項4において、溶液中の触媒元素の濃度を50ppm以下とすることを特徴とする半導体作製方法。

【請求項9】 請求項1または請求項2または請求項3または請求項4において、溶液中の触媒元素の濃度を10ppm以下とすることを特徴とする半導体作製方法。

【請求項10】 請求項1または請求項2または請求項3または請求項4において、溶液中の触媒元素の濃度を変

化することによって、結晶性珪素膜中に含まれる触媒元素の濃度を制御することを特徴とする半導体作製方法。  
【請求項11】 請求項1または請求項2または請求項3または請求項4において、触媒元素を含む溶液を塗布した後、所定の時間その状態を保持し、かかる後に不要な溶液を除去することを特徴とする半導体作製方法。

【請求項12】 請求項10において、所定の時間を変化させることによって、結晶性珪素膜中に含まれる触媒元素の濃度を制御することを特徴とする半導体作製方法。

10 【請求項13】 非晶質珪素膜上に酸化膜を形成する工程と、

前記酸化膜上に硅素膜のN<sub>1</sub>を1.0～2.00ppm以下含有させた硝酸塩溶液を滴下する工程と、該工程の後その状態を0.5分以上保持する工程と、スピナーバーを用いて不要な溶液を除去する工程と、前記非晶質珪素膜を加熱処理することにより結晶化させる工程と、  
を有する半導体作製方法。

【請求項14】 非晶質珪素膜上に直接あるいは間接に前記非晶質珪素膜の結晶化を助長する触媒元素を含む溶液を選択的に塗布する工程と、

加熱処理を施すことにより、前記選択的に溶液が塗布された第1の領域を結晶成長させるとともに、該領域から前記選択的に溶液は塗布されなかつた第2の領域へと結晶成長を行なう工程と、  
を有し、

前記第1の領域の結晶性珪素膜中における触媒元素の濃度に比較して、前記第2の結晶性珪素膜中における触媒元素の濃度が低いことを特徴とする半導体作製方法。

30 【発明の詳細な説明】

【00001】

【産業上の利用分野】 本発明は結晶性を有する半導体の作製方法に関する。

【00002】

【從來の技術】 薄膜半導体を用いた薄膜トランジスタ(以下TFT等)が知られている。このTFTは、基板上に薄膜半導体を形成し、この薄膜半導体を用いて構成されるものである。このTFTは、各種集積回路に利用されているが、特にアクティバトリックス型の液晶表示装置の各画素の設けられたスイッチング素子、周辺回路部分に形成されるドライバー素子として注目されている。

【00003】 TFTに利用される薄膜半導体としては、非晶質珪素膜を用いることが簡便であるが、その電気的特性が低いという問題がある。TFTの特性向上を得るために、結晶性を有するシリコン薄膜を利用する必要性がある。結晶性を有するシリコン膜は、多結晶シリコン、ポリシリコン、微結晶シリコン等と称されている。この結晶性を有するシリコン膜を得るために、まず非晶質珪素膜を形成し、かかる後に加熱によって結晶化さればよ

い。

【0004】しかしながら、加熱による結晶化は、加熱温度が600°C以上の温度で10時間以上の時間を掛けることが必要であり、基板としてガラス基板を用いることが困難であるという問題がある。例えばアタディ型の液晶表示装置に用いられるコーニング7059ガラスはガラス融点が593°Cであり、基板の大面積化を考慮した場合、600°C以上の加熱には問題がある。

【0005】〔発明の背景〕本発明者らの研究によれば、非晶質連続膜の表面にニッケルやパラジウム、さらには鉛等の元素を微量に堆積させ、かかる後に加熱することで、550°C、4時間程度の処理時間で結晶化を行なえることが判明している。

【0006】上記のような微量な元素(結晶化を助長する触媒元素)を導入するには、プラズマ処理や蒸着、さらにはイオン注入を利用すればよい。プラズマ処理とは、平行平板型のプラズマCVD装置において、電極として触媒元素を含んだ材料を用い、水素等の雰囲気でプラズマを生じさせることによって非晶質連続膜に触媒元素の添加を行なう方法である。

【0007】しかしながら、上記のような元素が半導体中に多量に存在していることは、これら半導体を用いた装置の信頼性や電気的安定性を阻害するものであり好ましいことではない。

【0008】即ち、上記のニッケル等の結晶化を助長する元素(無機元素)は、非晶質連続膜を結晶化させる際に必要であるが、結晶化した連続膜中には極力含まれないようになることが望ましい。この目的を達成するには、触媒元素として結晶性連続膜中で不活性な傾向が強いものを選ぶと同時に、結晶化に必要な触媒元素の量を極力少なくし、最低限の量で結晶化を行なう必要がある。そしてそのためには、上記触媒元素の添加量を精密に制御して導入する必要がある。

【0009】また、ニッケルを触媒元素とした場合、非晶質連続膜を成長し、ニッケル析出をプラズマ処理法によって行ない結晶性連続膜を作製し、その結晶化過程等を詳細に検討したところ以下の事項が判明した。

(1) プラズマ処理によってニッケルを非晶質連続膜上に導入した場合、熟処理を行なう以前に既に、ニッケルは非晶質連続膜中のかなりの深さの部分まで侵入している。

(2) 結晶の初期核発生は、ニッケルを導入した表面から発生している。

(3) 蒸着法でニッケルを非晶質連続膜上に成長した場合であっても、プラズマ処理を行なった場合と同様に結晶化が起こる。

【0010】上記事項から、プラズマ処理によって導入されたニッケルが全て効果的に機能していないことが結論される。そして、「必要なのは非晶質連続膜の表面近傍に極微量のニッケルが導入されればよい」とい

うことが結論される。

【0011】非晶質連続膜の表面近傍のみに極微量のニッケルを導入する方法、言い換えるならば、非晶質連続膜の表面近傍のみ結晶化を助長する触媒元素を極微量導入する方法としては、蒸着法を挙げることができるが、蒸着法は脆性が悪く、触媒元素の導入量を厳密に制御することが困難であるという問題がある。

【発明が解決しようとする課題】本発明は、触媒元素を用いた500°C以下の熱処理による結晶化を有する薄膜硅素半導体の作製において、

(1) 触媒元素の量を制御して導入する。

(2) 生活性の高い方法とする。

といった要求を満たすことを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するために以下の構成を用いることを主要な構成とする。

「触媒元素を含む溶液を非晶質連続膜表面に塗布し、このことによって、触媒元素の導入を行なう」

【0013】上記構成は以下の基本的な有意味性を有する。

(a) 液液中における触媒元素濃度は、予め厳密に制御することが可能である。

(b) 液液と非晶質連続膜の表面とが接触していれば、触媒元素の非晶質連続膜への導入量は、液液中における触媒元素の濃度によって決まる。

(c) 非晶質連続膜の表面に吸着する触媒元素が主に結晶化に寄与することとなるので、必要最小限度の濃度で触媒元素を導入できる。

【0014】非晶質連続膜上に結晶化を助長する元素を含有させた溶液を塗布する方法としては、液液として硝酸塩、酢酸塩、硫酸塩の水溶液を用いる方法を挙げることができる。この場合、非晶質連続膜に直接上記溶液を塗布すると、溶液が強かれてしまうので、100Å以下の薄い酸化膜をまず形成し、その上に触媒元素を含有させた溶液を塗布することで、均一に溶液を塗布することができる。また、界面活性剤の如き材料を溶液中に添加する方法により懸念を改善する方法も有効である。

【0015】また、溶液としてオクチル硫酸ナトリウム溶液を用いることで、非晶質連続膜表面に直接塗布することができる。この場合にはレジスト塗布の際には使用されている密着剤の如き材料を予め塗布することは有効である。しかし塗布量が多過ぎる場合には逆に非晶質連続膜への触媒元素の添加を妨害してしまうために注意が必要である。

【0016】溶液に含まれる触媒元素の量は、その溶液の種類にも依存するが、概略の傾向としてはニッケル量として溶液に対して200ppm以下、好ましくは50ppm以下(當量換算)とすることが望ましい。これは、結晶化終了後における膜中のニッケル濃度や耐フッ

酸性に蘸みて決められる値である。

【0017】また、触媒元素を含んだ溶液を選択的に塗布することにより、結晶成長を選択的に行なうことができる。特にこの場合、溶液が塗布されなかつた領域に向かって、溶液が塗布された領域から硅藻膜の面上に平行な方向に結晶成長を行なうことができる。この硅藻膜の面上に平行な方向に結晶成長が行なわれた領域を本明細書中においては横方向に結晶成長した領域ということとする。

【0018】またこの横方向に結晶成長が行なわれた領域は、触媒元素の濃度を低いことが確かめられている。半導体装置の活性層領域として、結晶性硅素膜を利用することは有用であるが、活性層領域における不純物の濃度は一般に低い方が好ましい。従って、上記横方向に結晶成長が行なわれた領域を用いて半導体装置の活性層領域を形成することはデバイス作製上有用である。

【0019】本発明においては、触媒元素としてニッケルを用いた場合に最も顕著な効果を得ることができるが、その他利用できる触媒元素の種類としては、好ましくはNi、Pd、Pt、Cu、Ag、Au、In、Sn、Pd、Sn、Pd、P、As、Sbを利用することができる。また、VII族元素、IIIB、IVB、VB元素から選ばれた一種または複数種類の元素を利用することもできる。

#### 【0020】

##### 【実施例】【実施例1】

【0021】本実施例では、ガラス基板上の結晶性を有する硅藻膜を形成する例を示す。まず図1を用いて、触媒元素（ここではニッケルを用いる）を導入するところまでを説明する。本実施例においては、基板としてコーニング7059ガラスを用いる。またその大きさは100mm×100mmとする。

【0022】まず、非晶質硅素膜をプラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を100～1500Å形成する。ここでは、プラズマCVD法によって非晶質硅素膜12を1000Åの厚さに成膜する。（図1（A））

【0023】そして、汚れ及び自然酸化膜を取り除くためにフッ酸処理を行い、その後酸化膜13を10～50Åに成膜する。汚れが無視できる場合には、この工程を省略しても良いことは言うまでもなく、酸化膜13の代わりに自然酸化膜をそのまま用いれば良い。なお、この酸化膜13は極薄のため正確な膜厚は不明であるが、20Å程度であると考えられる。ここでは酸素雰囲気中でのUV光の照射により酸化膜13を成膜する。成膜条件は、酸素雰囲気中においてUVを5分間照射することによって行なった。この酸化膜13の成膜方法としては、熱酸化法を用いるのでもよい。また過酸化水素による処理によるものでもよい。

【0024】この酸化膜13は、後のニッケルを含んだ

酢酸塩溶液を塗布する工程で、非晶質硅素膜の表面全体に酢酸塩溶液を行き渡らせるため、即ち濡れ性の改善のためである。例えば、非晶質硅素膜の表面に直接酢酸塩溶液を塗布した場合、非晶質硅素膜が酢酸塩溶液を挿入してしまうので、非晶質硅素膜の表面全体にニッケルを導入することができない。即ち、均一な結晶化を行うことができない。

【0025】つぎに、酢酸塩溶液中にニッケルを添加した酢酸塩溶液を作る。ニッケルの濃度は100ppmとする。そしてこの酢酸塩溶液を非晶質硅素膜12上の酸化膜13の表面に2m滴下し、この状態を5分間保持する。そしてスピナーを用いてスピンドライ（2000rpm、60秒）を行う。（図1（C）、（D））

【0026】酢酸塩溶液中におけるニッケルの濃度は、100ppm以上であれば実用になる。また溶液としては、塩酸塩、硝酸塩、硫酸塩を用いることができる。また、有機系のオクチル硫酸やトルエン溶液を用いることもできる。この場合は、酸化膜13は不要であり、直接非晶質硅素膜上に触媒元素を導入することができる。

【0027】上記溶液の塗布の後、5分間その状態を保持させる。この保持される時間によつても、最終的に硅素膜12中に含まれるニッケルの濃度を制御することができるが、最も大きな制御因子は溶液の濃度である。

【0028】そして、加熱炉において、電素雰囲気中において550度、4時間の加熱処理を行う。この結果、基板11上に形成された結晶性を有する硅藻膜12を得ることができる。

【0029】上記の加熱処理は450度以上の温度で行なうことができるが、温度が低いと加熱時間を長くしなければならず、生産効率が低下する。また、550度以上とすると基板として用いるガラス基板の耐熱性の問題が表面化してしまう。

【0030】【実施例2】本実施例は、実施例1に示す作製方法において、1200Åの酸化硅素膜を選択的に設け、この酸化硅素膜をマスクとして選択的にニッケルを導入する例である。

【0031】図2に本実施例における作製工程の概略を示す。まず、ガラス基板（コーニング7059、10cm角）上にマスクとなる酸化硅素膜21を1000Å以上、ここでは1200Åの厚さに成膜する。この酸化硅素膜21の膜厚については、発明者等の実験によると500Åでも問題がないことを確認しており、膜厚が緻密であれば更に薄くても良いと思われる。

【0032】そして通常のフォトリソバーナーニング工程によって、必要とするパターンに酸化硅素膜21をバーナーニングする。そして、酸素雰囲気中における紫外線の照射で薄い酸化硅素膜20を成膜する。この酸化硅素膜20の作製は、酸素雰囲気中でUV光を5分間照射することによって行なわれる。なおこの酸化硅素膜20の厚さは20～50Å程度と考えられる（図2（B））。尚、

この濡れ性を改善するための酸化珪素膜については、浴液とパターンのサイズが合致した場合には、マスクの酸化珪素膜の親水性のみによっても丁度よく漏される場合がある。しかしながらこの様な例は特例であり、一般的には酸化珪素膜2.0を使用したほうが安全である。

【0033】この状態において、実施例1と同様に1.0 ppmのニッケルを含有した酢酸塩溶液を5ml滴下(10cm角基板の場合)する。またこの際、スピナーで50rpmで10秒のスピンドルコートを行い、基板表面全体に均一な水膜を形成させる。さらにこの状態で、5分間保持した後スピナーを用いて2000rpm、60秒のスピンドルコートを行う。なおこの保持は、スピナー上において0~100rpmの回転をさせながら行なってよい。(図2(C))

【0034】そして550度(窓ガラス回路)、4時間の加熱処理を施すことにより、非晶質珪素膜1.2の結晶化を行う。この際、ニッケルが導入された部分2.2の領域から2.3で示されるように、ニッケルが導入されなかった領域へと横方向に結晶成長が行われる。

【0035】この2.3で示される横方向への結晶成長の距離(μm)と、酢酸塩浴液中に含有されるニッケル濃度(ppm)との関係を図3に示す。なお、図3に示されるデータにおいては、ニッケルを含有する酢酸塩を塗布した後の保持時間を5分とした。

【0036】図3を見れば分かるように、ニッケル濃度を1.0ppm以上とすることによって、2.5μm以上の成長距離を得ることができる。

【0037】また、酢酸浴液中に含まれるニッケルの濃度が1.0ppmであっても、1.0μm程度の横方向成長を得られることが予想される。

【0038】図3に示すのは、ニッケルを含有する酢酸塩を塗布した後の保持時間を5分とした場合であるが、この保持時間によっても横成長距離は変化する。

【0039】例えば、ニッケル濃度が1.0ppmの場合において、保持時間を1分以下とした場合には、保持時間が長い程、横方向への結晶成長を長くすることができます。しかし、保持時間を1分以上とした場合には、僅かに成長距離が長くなるだけで、顕著な違いを得ることができない。

【0040】また、ニッケル濃度を50ppmとした場合においては、保持時間が6分までは、その時間が横方向への結晶成長距離に比例するが、5分以上では飽和する傾向が見られる。

【0041】なお以上の条件において保持時間をさらに長くすると僅かに成長距離が増加するが、さらに横方向への結晶成長距離を大きくすることができる。尚、これらの保持時間は温度が変化するとその平衡に到達する時間が大きくなるため、温度を管理する必要があることを付加しておく。また、熱処理時間の温度を高くする、あるいは熱処理時間を持続することによっても全体として横方向へ

の結晶成長を大きくすることができる。

【0042】図4と図5は、ニッケルを1.0ppm含有した酢酸塩浴液を用いてニッケルを導入し、550℃、4時間の熱処理において、結晶化を行った場合の結晶化後における珪素膜中のニッケル濃度をSIMS(2次イオン質量分析)によって調べたデータである。

【0043】図4は、図2の2.2の領域、即ちニッケルが直接導入された領域におけるニッケルの濃度を示す。また図5は、図2の2.3で示されるように2.2の領域から横方向に結晶成長した領域におけるニッケルの濃度である。

【0044】図4と図5を見れば分かるように、横方向成長した領域のニッケル濃度は、直接ニッケルを導入した領域に比較してその濃度が約1桁小さいことが分かる。

【0045】また、直接ニッケルを導入した領域であっても、酢酸塩浴液中におけるニッケルの濃度を1.0ppmとすれば、結晶化させた珪素膜中におけるニッケル濃度を $1.0 \times 10^{-3} \text{ cm}^{-3}$ レベルに抑えられることが分かる。

【0046】そしてこのことから、酢酸浴液中におけるニッケル濃度を1.0ppmとし、加熱処理温度を550℃以上、加熱処理時間を4時間以上とした場合における結晶性珪素膜の横成長領域のニッケル濃度は $1.0 \times 10^{-3} \text{ cm}^{-3}$ レベル以下に抑えられることが結論される。

【0047】本実施例ではどのような方法によって形成された結晶性珪素膜は、耐フッ酸性が良好であるという特徴がある。本発明者らによる知見によれば、ニッケルをプラズマ処理で導入し、結晶化させた結晶性珪素膜は、耐フッ酸性が高い。

【0048】例えば、結晶性珪素膜上にゲート絶縁膜や層間絶縁膜として機能する酸化珪素膜を形成し、しかも後に電極の形成のために穴開け工程を経て、電極を形成する作業が必要とされる場合がある。このような場合、酸化珪素膜をバッファフッ酸によって除去する工程が普通採用される。しかしながら、結晶性珪素膜の耐フッ酸性が低い場合、酸化珪素膜のみを取り除くことは困難であり、結晶性珪素膜をもエッチングしてしまうという問題がある。

【0049】しかしながら、結晶性珪素膜が耐フッ酸性を有している場合、酸化珪素膜と結晶性珪素膜のエンチシングレートの違い(選択比)を大きくとることができるので、酸化珪素膜のみを選択的のetchingで、作製工程上極めて有意なものとなる。

【0050】【実施例3】本実施例は、本発明の方法を利用して作製した結晶性珪素膜を用いて、アクティブマトリックス型の液晶表示装置の各画素部に設けられるTFTを作製する例を示す。なお、TFTの応用範囲としては、液晶表示装置のみではなく、一般に言われる半導体集積回路に利用できることはいうまでもない。

【0051】図6に本実施例の作製工程の概要を示す。

まずガラス基板上に下地の酸化珪素膜（図示せず）を2000Åの厚さに成膜する。この酸化珪素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。

【0052】そして、非晶質珪素膜を実施例1と同様な方法で1000Åの厚さに成膜する。そして、自然酸化膜を取り除くためのフッ酸処理の後、薄い酸化膜20を20Å程度の厚さに酸素雰囲気でのUV光の照射によって成膜する。

【0053】そして10ppmのニッケルを含有した酢酸塩溶液を塗布し、5分間保持し、スピナーを用いてスピンドライを行ふ。その後バッファフッ酸によつて酸化珪素膜20と21を取り除き、550度、4時間の加熱によって、珪素膜100を結晶化させる。（ここまでは実施例1に示した作製方法と同じ）

【0054】次に、結晶化した珪素膜をバーニングして、島状の領域104を形成する。この島状の領域104はTFTの活性層を構成する。そして、厚さ2000~1500Å、ここでは1000Åの酸化珪素膜105を形成する。この酸化珪素膜はゲート絶縁膜としても機能する。（図8（A））

【0055】上記酸化珪素膜105の作製には注意が必要である。ここでは、TEOSを原料とし、酸素とともに基板温度150~600°C、好ましくは300~450°Cで、RFプラズマCVD法で分解・堆積した。TEOSと酸素の圧力比は1:1~1:3、また、圧力は0.05~0.5torr、RFパワーは100~250Wとした。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によつて、基板温度を350~600°C、好ましくは400~550°Cとして形成した。成膜後、酸素もしくはオゾンの穿孔気で400~600°Cで3~60分アニールした。

【0056】この状態でKrFエキシマーレーザー（波長248nm、パルス幅20ns e.c）あるいはそれと同等な強光を照射することで、シリコン領域104の結晶化を助長させてもよい。特に、赤外光を用いたRTA（ラビットサーマルアニール）は、ガラス基板を加熱せずに、珪素のみを選択性的に加熱することができ、しかも珪素と酸化珪素膜との界面における界面準位を減少させることができるので、絶縁ゲート型電界効果半導体装置の作製においては有用である。

【0057】その後、厚さ2000Å~1μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをバーニングし、ゲート電極106を形成する。アルミニウムにはスカンジウム（Sc）を0.1~5%、2重量%ドーピングしておいてもよい。次に基板をpHが7、1~3%の酒石酸のエチレンジリコール溶液に浸し、白金を陰極、このアルミニウムのゲート電極を陽極として、陽極酸化を行う。陽極酸化は、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。本実施例では定電流状態では、電圧の上昇速

度は2~5V/分が適当である。このようにして、厚さ1500~3500Å、例えば、2000Åの陽極酸化物109を形成する。（図8（B））

【0058】その後、イオンドーピング法（プラズマドーピング法ともいう）によって、各TFTの島状シリコン膜中に、ゲート電極部をマスクとして自己整合的に不純物（燐）を注入した。ドーピングガスとしてはフォスフィン（PH<sub>3</sub>）を用いた。ドーズ量は、1~4×10<sup>13</sup>c<sup>-2</sup>とする。

【0059】さらに、図8（C）に示すようにKrFエキシマーレーザー（波長248nm、パルス幅20ns e.c）を照射して、上記不純物燐の導入によって結晶性の劣化した部分の結晶性を改善させる。レーザーのエネルギー密度は150~400mJ/cm<sup>2</sup>、好ましくは200~250mJ/cm<sup>2</sup>である。こうして、N型不純物（燐）領域108、109を形成する。これらの領域のシート抵抗は200~800Ω/□であった。

【0060】この工程において、レーザーを用いるかわりに、フラッシュランプを使用して短時間に1000~1200°C（シリコンモニターの温度）まで上昇させ、試料を加熱する、いわゆるRTA（ラビット・サーマル・アニール）（ RTP、ラビット・サーマル・プロセスともいう）を用いてもよい。

【0061】その後、全面に層間絶縁物110として、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ3000Å形成する。基板温度は250~450°C、例えば、350°Cとする。成膜後、表面の平坦性を得るために、この酸化珪素膜を機械的に研磨する。さらに、スパッタ法によってITO被膜を堆積し、これをバーニングして画面電極111とする。（図8（D））

【0062】そして、層間絶縁物110をエッチングして、図1（E）に示すようにTFTのソース/ドレインにコントラクトホールを形成し、クロムもしくは塞化チタンの配線112、113を形成し、配線113は画面電極111に接続させる。

【0063】プラズマ処理を用いてニッケルを導入した結晶性珪素膜は、酸化珪素膜に比較してバッファフッ酸に対する選択性が低いので、上記コントラクトホールの形成工程において、エッチングされてしまうことが多かつた。

【0064】しかし、本実施例のように10ppmの低濃度で水溶液を用いてニッケルを導入した場合には、耐フッ酸性が高いので、上記コントラクトホールの形成が安定して選択性よく行なうことができる。

【0065】最後に、水槽中で300~400°Cで0.1~2時間アニールして、シリコンの水素化を完了する。このようにして、TFTが完成する。そして、同時に作製した多数のTFTをマトリクス状に配列せしめて

アクティブマトリクス型液晶表示装置として完成する。

【0066】本実施例の構成を採用した場合、活性層中に存在するニッケルの濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$  程度あるいはそれ以下であると考えられる。

【0067】本実施例においては、ニッケルを導入した部分を結晶化させた例を示したが、実施例2に示すようにニッケルを選択的に導入し、その部分から横方向(基板に平行な方向)に結晶成長した領域を用いて電子デバイスを形成してもよい。この場合、デバイスの活性層領域におけるニッケル濃度をさらに低くすることができます。デバイスの電気的安定性や信頼性の上から極めて好ましい構成とことができる。

【0068】

【効果】ニッケルの導入方法として、溶液を用いることによって、ニッケルの濃度を精密に制御して添加できるようになり、結晶性塗膜を用いた信頼性の高い電子デバイスを提供できる。

【図面の簡単な説明】

【図1】 実施例の工程を示す

【図2】 実施例の工程を示す。

【図3】 溶液中のニッケル濃度と横方向への結晶成長距離との関係を示す。

【図4】 ニッケルが導入された領域のニッケル濃度を

示す。

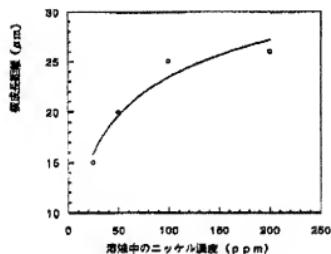
【図5】 ニッケルが導入された領域から横方向に結晶した領域におけるニッケル濃度を示す。

【図6】 実施例の作製工程を示す。

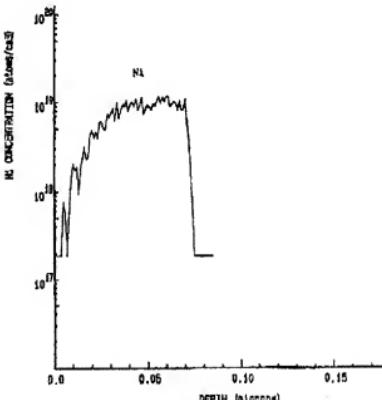
【符号の説明】

- 1 1 . . . ガラス基板
- 1 2 . . . 非晶質塗膜
- 1 3 . . . 酸化珪素膜
- 1 4 . . . ニッケルを含有した酢酸溶液膜
- 1 5 . . . ズビナー
- 2 1 . . . マスク用酸化珪素膜
- 2 0 . . . 酸化珪素膜
- 1 1 . . . ガラス基板
- 1 0 4 . . . 活性層
- 1 0 5 . . . 酸化珪素膜
- 1 0 6 . . . ゲート電極
- 1 0 9 . . . 酸化物層
- 1 0 8 . . . ソース／ドレイン領域
- 1 0 9 . . . ドレイン／ソース領域
- 2 0 1 0 . . . 層間絕縁膜(酸化珪素膜)
- 1 1 1 . . . 固素電極(I TO)
- 1 1 2 . . . 電極
- 1 1 3 . . . 電極

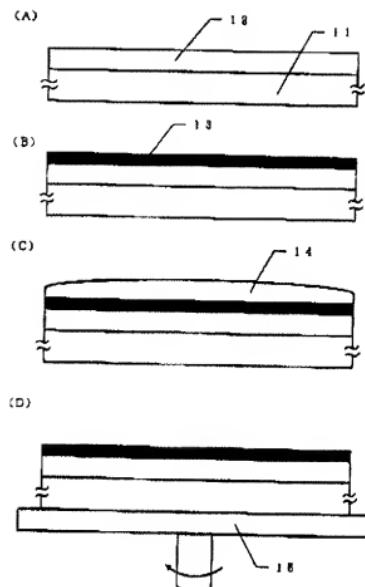
【図3】



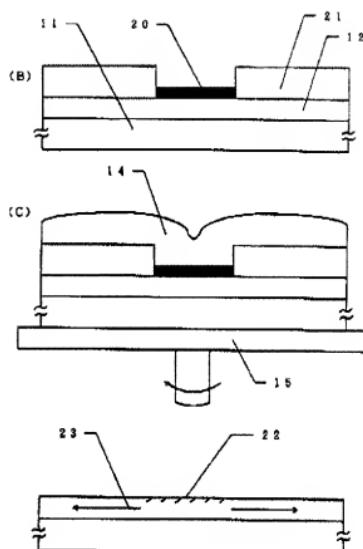
【図4】



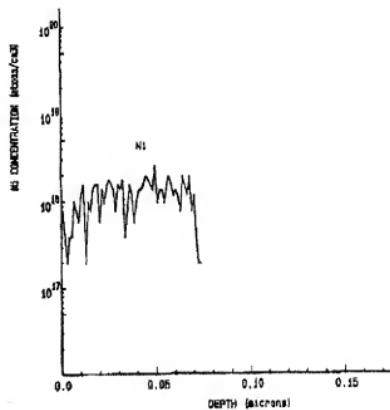
【図1】



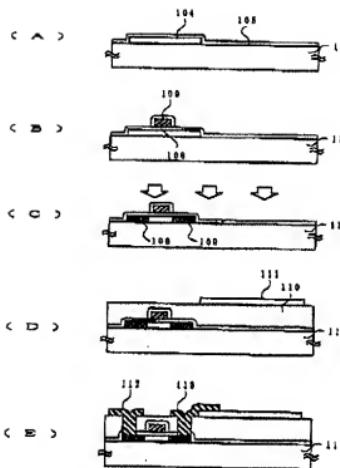
【図2】



【図6】



【図6】



フロントページの続き

(51) Int. Cl. 6  
H 01 L 21/336

識別記号 序内整理番号 F I

技術表示箇所

**Family list**

32 family members for: JP7130652

Derived from 20 applications

[Back to JI](#)**1 A method for manufacturing a semiconductor device****Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+1)**EC:** H01L21/77T; H01L21/20D; (+5)**Publication Info:** CN1054943C C - 2000-07-26

CN1110004 A - 1995-10-11

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+9)**2 Method for manufacturing semiconductor device****Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+1)**EC:** H01L21/77T; H01L21/20D; (+5)**Publication Info:** CN1143362C C - 2004-03-24

CN1238553 A - 1999-12-15

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+9)**3 Semiconductor device****Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+1)**EC:** H01L21/77T; H01L21/20D; (+5)**Publication Info:** CN1149639C C - 2004-05-12

CN1223459 A - 1999-07-21

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+8)**4 No title available****Inventor:****Applicant:****EC:****IPC:****Publication Info:** DE69430097D D1 - 2002-04-18**5 Method of crystallizing a silicone layer and semiconductor devices obtained by using the method.****Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)**EC:** H01L21/77T; H01L21/20D; (+5)**Publication Info:** DE69430097T T2 - 2002-10-31**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+9)**6 Method of crystallizing a silicone layer and semiconductor devices obtained by using the method.****Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)**EC:** H01L21/77T; H01L21/20D; (+5)**Publication Info:** EP0651431 A2 - 1995-05-03

EP0651431 A3 - 1995-06-07

EP0651431 B1 - 2002-03-13

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+8)**7 Method of crystallizing a silicon layer****Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)**EC:** H01L21/20D; H01L21/336D2B; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L29/786

(+10)

**Publication Info:** EP1158580 A2 - 2001-11-28

EP1158580 A3 - 2004-07-28

**8 MANUFACTURE OF SEMICONDUCTOR DEVICE****Inventor:** OTANI HISASHI; FUKUNAGA KENJI; (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB**EC:****IPC:** H01L21/20; G02F1/136; G02F1/1365 (+1)**Publication Info:** JP3193358B2 B2 - 2001-07-30

JP2000068204 A - 2000-03-03

**9 MANUFACTURE OF SEMICONDUCTOR****Inventor:** OTANI HISASHI; MIYANAGA SHOJI**Applicant:** SEMICONDUCTOR ENERGY LAB**EC:****IPC:** C01B33/02; H01L21/02; H01L21/20 (+13)**Publication Info:** JP3431033B2 B2 - 2003-07-28

JP7130652 A - 1995-05-19

**10 SEMICONDUCTOR DEVICE**

**Inventor:** OTANI HISASHI; MIYANAGA SHOJI

**Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:**

**IPC:** C01B33/02; H01L21/20; H01L21/336 (+1

**Publication info:** JP3431034B2 B2 - 2003-07-28

JP7135174 A - 1995-05-23

**11 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**Inventor:** OTANI HISASHI; FUKUNAGA KENJI; (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:**

**IPC:** H01L21/20; H01L21/02; H01L21/26 (+14

**Publication info:** JP3431041B2 B2 - 2003-07-28

JP7183540 A - 1995-07-21

**12 METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**

**Inventor:** OTANI HISASHI; FUKUNAGA KENJI; (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:**

**IPC:** H01L21/20; H01L21/336; H01L29/786 (+

**Publication Info:** JP3980298B2 B2 - 2007-09-26

JP2002110543 A - 2002-04-12

**13 A SEMICONDUCTOR DEVICE**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)

**Applicant:** SEMICONDUCTOR ENERGY LAB KK (JP); H01L21/20

**EC:**

**IPC:** H01L21/20; H01L21/02; (IPC1-7): H01L21/20

**Publication info:** KR100273833B B1 - 2000-11-15

**14 METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**

**Inventor:** OHTANI HISASHI; MIYANAGA AKIHARU; **Applicant:** SEMICONDUCTOR ENERGY LAB KK (+2)

**EC:** H01L21/77T; H01L21/20D; (+5)

**IPC:** H01L21/20; H01L21/336; H01L21/77 (+8

**Publication Info:** KR100297315B B1 - 2001-05-21

**15 Method for manufacturing a semiconductor device**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)

**EC:** H01L21/77T; H01L21/20D; (+5) *OK*

**IPC:** H01L21/20; H01L21/336; H01L21/77 (+8

**Publication Info:** US5643826 A - 1997-07-01

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

**Family list**

32 family members for: JP7130652

Derived from 20 applications

[Back to JI](#)**16 Method for manufacturing a semiconductor device**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)  
**EC:** H01L21/77T; H01L21/20D; (+5)   
**Publication Info:** US5923962 A - 1999-07-13

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+8)**17 Active Matry Display**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)  
**EC:** H01L21/77T; H01L21/20D; (+5)   
**Publication Info:** US6285042 B1 - 2001-09-04

**Applicant:** SEMICONDUCTOR ENERGY LAB (US)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+1)**18 Semiconductor thin film transistor with crystal orientation**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)  
**EC:** H01L21/77T; H01L21/20D; (+5)   
**Publication Info:** US6335541 B1 - 2002-01-01

**Applicant:** SEMICONDUCTOR ENERGY LAB (US)**IPC:** H01L21/20; H01L21/336; H01L21/77 (+1)**19 Method for manufacturing a semiconductor device**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)  
**EC:** H01L21/77T; H01L21/20D; (+6)   
**Publication Info:** US6998639 B2 - 2006-02-14

**Applicant:****IPC:** H01L21/20; H01L21/336; H01L21/77 (+1)**US2002053670 A1 - 2002-05-09****20 Method for manufacturing a semiconductor device**

**Inventor:** OHTANI HISASHI (JP); MIYANAGA AKIHARU (JP); (+2)  
**EC:** H01L29/786E4C2; H01L21/336D2B; (+1)   
**Publication Info:** US2006131583 A1 - 2006-06-22

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** H01L29/04; H01L29/02Data supplied from the **esp@cenet** database - Worldwide